

PolarFire® FPGA Splash 套件的 JESD204B 串列介面標準

作者：鄭世仁 主任應用工程師



Microchip 的 PolarFire® FPGA 產品業界認證具有出色可靠的低功率、高安全性元件，一直被廣泛應用於有線和無線通訊、國防、航空、工業嵌入式、人工智慧、影像處理等不同範疇。本文將介紹如何在 PolarFire Splash 套件上實現 JESD204B 獨立設計，並搭配 GUI 演示應用的電路板。此設計是使用 PolarFire 高速構建的參考設計收發器模塊，以及 CoreJESD204BTX 和 CoreJESD204BRX IP 內核。它在運行時透過收發器將 CoreJESD204BTX 數據發送到 CoreJESD204BRX IP 內核。此設置有助於獨立的 JESD 不需要類比轉換器 (ADC) 或數位轉換器介面。

Microchip 的 PolarFire FPGA 具有嵌入式高速收發器模組，可以處理的資料速率從 250 Mbps 到 12.5 Gbps 不等。收發器 (PF_XCVR) 模塊集成了幾個功能以支持 FPGA 多種高速串行協議。JESD204B 是一種高速串行 JEDEC 委員會制定的數據轉換器介面標準。JESD204B 標準減少了高速數據轉換器和接收器之間的數據輸入和輸出數量。Microchip 提供發射器的 CoreJESD204BTX 和 CoreJESD204BRX IP 內核以及 JESD204B 標準的接收器介面。這些 IP 內核易於與 JESD204B 的數據轉換器整合，以開發無線基礎設施等高帶寬應用收發器、無線電、醫學成像系統以及雷達和安全通信。這些 IP 內核支援從 x1 到 x8 的鏈路寬度，以及每通道 250 Mbps 到 12.5 Gbps 的鏈路速率使用子類 0、1 和 2。

設計要求如下表 (一) 列出了軟體、硬體與 IP 運行展示所需的資源，大家也可從 Microchip 網站下載參考設計與開發軟體來實現。

Requirement	Version
Operating System	Windows 7, 8.1, or 10
Hardware	
PolarFire Splash Kit	Rev 2 or later
• PolarFire Splash Board with MPF300TS-1FCG484EE5 device	
• 12 V, 5A AC power adapter and cord	
• USB 2.0 A to Mini-B cable for UART and programming	
Software	
FlashPro	v2.2
GUI executable (provided with the design files)	
Libero SoC PolarFire	v2.2
ModelSim	10.5c Pro
Synplify Pro	L201609MSP1-5
IP	
JESD204BTX	3.0.114
JESD204BRX	3.0.126
PF_XCVR	1.0.231
PF_TX_PLL	1.0.112
PF_XCVR_REF_CLK	1.0.103
PF_URAM	1.1.107
PF_INIT_MONITOR	2.0.103
COREUART	5.6.102
CORERESET_PF	2.1.100

表 (一): 設計要求軟體/硬體與 IP [1]

以下 PolarFire JESD204B 演示設計，連接符合 JESD204B 標準的資料轉換器，它帶有 PolarFire 的元件。這個設計中的硬體實現如圖 (一) 所示：

1. DATA_HANDLE_0 與 GUI 介面，GUI 支持選擇 PRBS 或波形輸入。
2. DATA_HANDLE_0 將輸入選擇傳遞給 DATA_GENERATOR_0 模塊，後者生成相應的輸入數據並將其發送到 CoreJESD204BTX IP 內核。
3. CoreJESD204BTX IP 內核執行基於配置生成的 JESD204B 發送器功能，並將數據發送到 PF_XCVR (收發器) IP 內核。
4. 編碼數據由 CoreJESD204BRX IP 內核接收，因為 PF_XCVR 模塊的 TX 和 RX 通道被環回。
5. CoreJESD204BRX IP 核根據配置執行 JESD204B 接收器功能，並將數據發送到 GUI 以查看所選輸入。

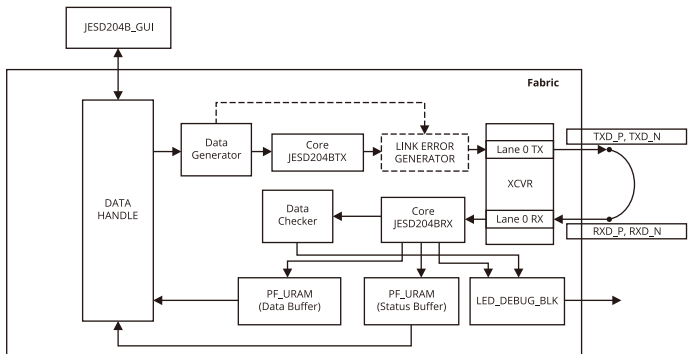


圖 (一) Microchip JESD204B 硬體方塊圖 [1]

圖 (二) 所示為在 Libero® SoC 實現 JESD204B 通訊演示硬體 IP。

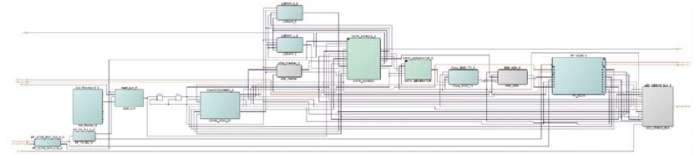


圖 (二) JESD204B 通訊演示硬體 IP [1]

圖 (三) 為透過 Libero SoC 撰寫測試模擬 JESD204B 所得的訊號。

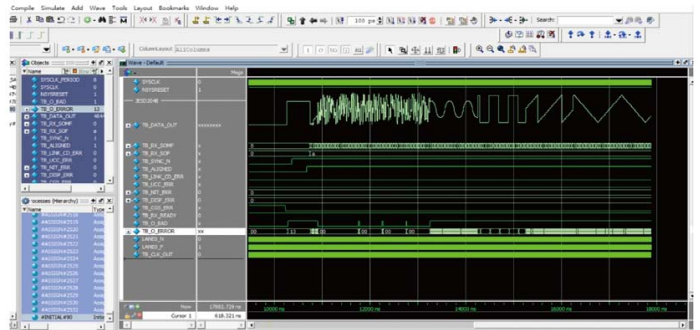


圖 (三) JESD204B 測試模擬訊號

本文利用模擬驗證，並確認此訊號無誤，再將此開發設計程序燒入 FPGA 中做驗證。圖 (四) 開發實體參考設計 PolarFire Splash EVB 實體圖。

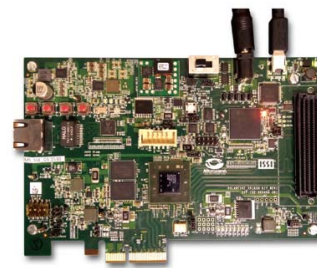


圖 (四) PolarFire Splash EVB 實體圖 [1]

利用 PolarFire Splash EVB 連接 PC，並搭配 GUI 做驗證，得到 CoreJESD204BRX 收到的波形，如圖 (五) 所示。由此圖可得知實際測試與模擬的波形是相同。

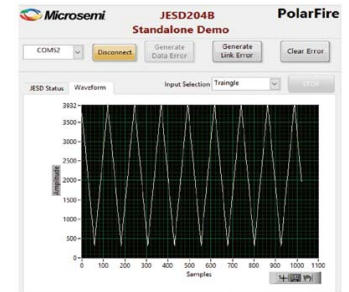


圖 (五) CoreJESD204BRX 收到波形 [1]

本文所探討 JESD204B Standalone Interface，利用理論實作搭配 GUI 驗證與模擬訊號分析，得到符合的訊號波形。以減少設計開發時程。若有任何疑問，歡迎參閱 Microchip 網頁了解更多相關的產品資訊，或與我們聯絡。

- FPGA 及 PLD： <https://www.microchip.com/en-us/products/fpgas-and-plds>
- PolarFire FPGA： <https://www.microchip.com/en-us/products/fpgas-and-plds/fpgas/polarfire-fpgas>

以下亦列出了更多有關 JESD204B 標準和 IP 內核的資訊的供各位讀者參考：

- 有關 PolarFire 收發器模塊、PF_TX_PLL 和 PF_XCVR_REF_CLK 的信息，請參閱 UG0677：PolarFire FPGA 收發器用戶指南。
- 有關 PF_URAM (PF Micro SRAM) 的更多信息，請參閱 UG0680：PolarFire FPGA Fabric 用戶指南。
- 有關 CoreJESD204BTX 的更多信息，請參閱 CoreJESD204BTX 手冊。
- 有關 CoreJESD204BRX 的更多信息，請參閱 CoreJESD204BRX 手冊。
- 有關 Libero、ModelSim 和 Synplify 的更多信息，請參閱 Microchip Libero SoC PolarFire 網頁。

參考來源：

[1] DG0796 Demo Guide PolarFire FPGA Splash Kit JESD204B Standalone Interface

聯繫信息 > Microchip 台灣分公司 電郵：rta.taipei@microchip.com 聯絡電話：• 新竹 (03) 577-8366

技術支援專線：0800-717-718 • 高雄 (07) 213-7830 • 台北 (02) 2508-8600



Microchip 的名稱和徽標組合、Microchip 徽標及 PolarFire 均為 Microchip Technology Incorporated 在美國和其他國家或地區的註冊商標。在此提及的所有其他商標均為各持有公司所有。© 2023 Microchip Technology Inc. 及其子公司，保留其版權及所有權利。2/23